

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 05-324871
 (43)Date of publication of application : 10.12.1993

(51)Int.Cl. G06F 15/78
 G06F 1/04

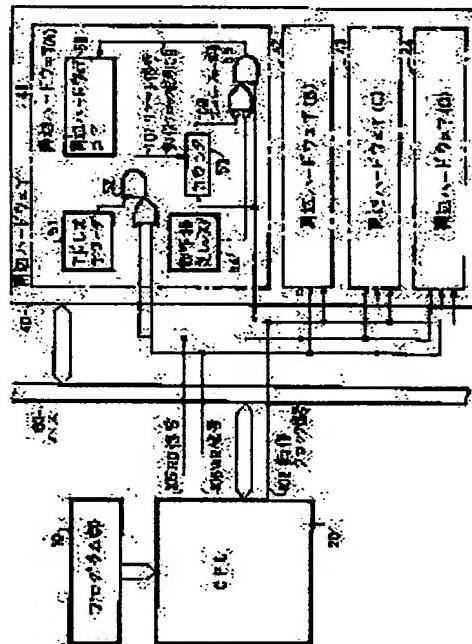
(21)Application number : 04-135233 (71)Applicant : NEC CORP
 (22)Date of filing : 27.05.1992 (72)Inventor : ABE HIDEO

(54) MICROCOMPUTER

(57)Abstract:

PURPOSE: To reduce the power consumption of a microcomputer by stopping the supply of operation clocks to the unnecessary hardware without using any HALT nor STOP instruction.

CONSTITUTION: Each of peripheral hardware 41–44 is provided with an operation designating/storing means 54 which stores the data to previously designate the operation of its own device and outputs a prescribed signal, the senscr means 51 and 52 which sense the access of data given to its own device from a CPU 20, and individual clock control means 53 and 55 which supply the operation clock signals 102 supplied from the CPU 20 to a peripheral hardware core 56 as the operation clock signals 109 to be supplied to its own device when its own device receives an access and then stop the supply of the signal 102 which no access is applied to its own device based on the output signal of the means 54 and the output signals 107 of both means 51 and 52.



BEST AVAILABLE COPY

LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

THIS PAGE BLANK (USPTO)

* NOTICES *

JPO and NCIPI are not responsible for any
damages caused by the use of this translation.

1. This document has been translated by computer. So the translation may not reflect the original precisely.
2. **** shows the word which can not be translated.
3. In the drawings, any words are not translated.

CLAIMS

[Claim(s)]

[Claim 1] In the microcomputer equipped with the central processing unit which has a clock control means to control supply of a hidden actuation clock signal for the clock signal of operation to two or more circumference hardware and said two or more circumference hardware An assignment storage means of operation for each circumference hardware to memorize the data which specify actuation of self-circumference hardware beforehand, and to output a predetermined signal, A detection means to detect the data access to the self-circumference hardware from said central processing unit, The microcomputer characterized by including an individual clock control means to control supply to the self-circumference hardware of the clock signal of operation supplied from said central processing unit, according to the output signal of said assignment storage means of operation, and the output signal of said detection means.

[Translation done.]

* NOTICES *

JPO and NCIPI are not responsible for any damages caused by the use of this translation.

1. This document has been translated by computer. So the translation may not reflect the original precisely.
2. **** shows the word which can not be translated.
3. In the drawings, any words are not translated.

DETAILED DESCRIPTION

[Detailed Description of the Invention]

[0001]

[Industrial Application] This invention is used for a microcomputer and relates to the microcomputer especially equipped with the fall means of power consumption.

[0002]

[Description of the Prior Art] The technical progress of the computer field is remarkable and a notebook mold computer, a palmtop computer, etc. have come to appear in a commercial scene today.

[0003] The thing of a low power has come to be called for also for the microcomputer which the demand to the device of a low power is increasing recently, and achieves the central function according to such a situation.

[0004] Generally as actuation to such a low power, there are a method which stops actuation of CPU when unnecessary, actuation of the central processing unit (henceforth CPU) of a microcomputer or, and a method which stops the whole microcomputer, and both have the special instruction in many cases.

[0005] Usually, the former is called a HALT instruction and the latter is called the STOP instruction.

[0006] Below, the HALT instruction and STOP instruction function in the conventional microcomputer are explained using drawing 3.

[0007] Drawing 3 is the block block diagram showing the important section of an example of the conventional microcomputer, and is equipped with CPU20, the program section 10 in which the program is stored, and the circumference hardware 30.

[0008] And the decoder section 21 in which CPU20 decodes an instruction of a program, The control section 22 which carries out various kinds of control according to a decoding result, and the clock signal 101 of CPU20 of operation, The clock control section 23 which supplies the clock signal 101 of operation and the clock signal 102 of operation to the clock signal 102 of the circumference hardware 30 of operation, and CPU20 and the circumference hardware 30, respectively, The clock control signals 103 and 104 outputted from a control section 22 in order to control a clock are included. The circumference hardware 30 The circumference hardware 31 (A), the circumference -- hardware -- (B) -- 32 -- the circumference -- hardware -- (C) -- 33 -- the circumference -- hardware -- (D) -- 34 -- the circumference -- hardware -- (A) -- 31 -- the exterior -- data -- receiving -- a sake -- the exterior -- a terminal -- 35 -- containing -- **** . Moreover, the circumference hardware (A) 31 has a means to transmit the data inputted from the external terminal 35 to a receipt and CPU20.

[0009] Next, the actuation at the time of the HALT instruction execution of CPU20 is explained.

[0010] From the program section 10, CPU20 reads a program, and decodes and executes an instruction in the decoder section 21. If a HALT instruction is read and it decodes in the decoder section 21 from this program section 10, a control section 22 outputs the clock control signal 103 to the clock control section 23, and the clock control section 23 will perform only supply of the clock signal 102 of operation to the circumference hardware 30, and it will stop supply of the clock signal 101 of operation to CPU20. thereby -- CPU -- 20 -- actuation -- stopping -- the circumference -- hardware -- 30 -- inside -- each -- the circumference -- hardware -- (A) -- 31 -- (B) -- 32 -- (C) -- 33 -- and -- (D) -- 34 -- operating .

[0011] Then, CPU20 explains the actuation at the time of executing a STOP instruction.

[0012] If CPU20 reads a program and decodes a STOP instruction in the decoder section 21 from the program section 10 like the time of activation of the HALT instruction mentioned above, a control section 22 will output the clock control signal 104 to the clock control section 23. The clock control section 23 will stop, if the aforementioned clock control signal 104 is received, the clocks 101 and 102, i.e., the clock signals of operation, of the whole microcomputer.

[0013] Thereby, the whole microcomputer stops.

[0014] Next, the actual application of this HALT instruction and a STOP instruction is explained.

[0015] When actuation of CPU20 is unnecessary, a HALT instruction stops CPU20 and is used for lowering power consumption.

[0016] For example, when the next program manipulation cannot be performed until the circumference hardware (A) 31 receives the data received from the external terminal 35, while CPU20 performs a program, CPU20 will be in a waiting state until the circumference hardware (A) 31 carries out the completion of data reception. In such a case, if a HALT instruction is described on a program, it stops and actuation of CPU20 will be in a waiting state.

[0017] this -- the time -- the circumference -- hardware -- 30 -- inputting -- actuation -- a clock signal -- 102 -- outputting -- having -- continuing -- a sake -- the circumference -- hardware -- (A) 31 -- (B) 32 -- (C) 33 -- and -- (D) 34 -- operating state -- it is -- CPU20 -- the circumference hardware (A) 31 -- after the completion of data reception -- a HALT condition -- canceling -- the circumference hardware (A) 31 to data -- reception -- the next processing is performed.

[0018] Moreover, the STOP instruction is effective, when stopping actuation of a microcomputer when processing of what is also unnecessary and pressing down consumption of power until a microcomputer ends a series of actuation and then the processing from the outside comes.

[0019] In this case, actuation of the circumference hardware 30 and CPU20 stops completely.

[0020]

[Problem(s) to be Solved by the Invention] As explained above, although it is possible to stop actuation of CPU by issue of a HALT instruction, or to stop actuation of the whole microcomputer with a STOP instruction, since only specific circumference hardware can be operated or it cannot be made to stop, the conventional microcomputer supplies a clock signal of operation also to the circumference hardware which does not have the need especially, and has the technical problem which cannot attain optimization of system-wide power consumption.

[0021] Moreover, when the relation of each hardware of operation becomes complicated like a control program since power consumption cannot be reduced if a HALT instruction is not described on a program, the power control according to the operating state of hardware has the technical problem which becomes still more difficult.

[0022] By solving the aforementioned technical problem, the purpose of this invention suspends supply of the clock signal of hardware without the need of operation, without using a HALT instruction and a STOP instruction, and is to offer the microcomputer which aimed at the fall of power consumption more.

[0023]

[Means for Solving the Problem] In the microcomputer with which this invention was equipped with the central processing unit which has a clock control means to control supply of a hidden actuation clock signal for the clock signal of operation to two or more circumference hardware and said two or more circumference hardware An assignment storage means of operation for each circumference hardware to memorize the data which specify actuation of self-circumference hardware beforehand, and to output a predetermined signal, A detection means to detect the data access to the self-circumference hardware from said central processing unit, It is characterized by including an individual clock control means to control supply to the self-circumference hardware of the clock signal of operation supplied from said central processing unit, according to the output signal of said assignment storage means of operation, and the output signal of said detection means.

[0024]

[Function] When the data which specify whether it carries out whether self-circumference hardware operates through CPU beforehand are written in, for example, it is actuation and "1" does not operate, "0" is outputted to an assignment storage means of operation. Moreover, a detection means outputs "1", when the data access from CPU to self-circumference hardware is detected, for example, is detected, and it outputs "0" in addition to it. And when the output of for example, an assignment storage means of operation and a detection means of both individual clock control means is "1", it is made to operate by supplying the clock signal of operation from CPU to self-circumference hardware, and when other, supply of a clock signal of operation is stopped and is not operated.

[0025] Thereby, without using a HALT instruction and a STOP instruction, actuation of circumference hardware without the need can be stopped and it becomes possible to reduce power consumption more.

[0026]

[Example] Hereafter, the example of this invention is explained with reference to a drawing.

[0027] Drawing 1 is the block block diagram showing the important section of one example of this

'invention.

[0028] This example is equipped with the program section 10 in which CPU20 and the program which were shown in drawing 3 are stored, and the bus 60 which exchanges the data between the circumference hardware 40, and CPU20 and the circumference hardware 40.

[0029] And the clock signal 102 of operation, and the RD signal 105 and the WR signal 106 which are a control signal of data read/write are given to the circumference hardware 40 from CPU20.

[0030] moreover -- the circumference -- hardware -- 40 -- the circumference -- hardware -- (A) -- 41 -- the circumference -- hardware -- (B) -- 42 -- the circumference -- hardware -- (C) -- 43 -- and -- the circumference -- hardware -- (D) -- 44 -- containing -- ***.

[0031] and the address decoder 51 which decodes the address with which the circumference hardware (A) 41 is given to the interior from CPU20 -- or AND gate 52, the counter 53 which counts the clock signal 102 of operation, the overflow signal 108 which a counter 53 outputs, and the assignment register 54 of operation -- or AND gate 55, the circumference hardware core 56, and the clock signal 109 of operation to the circumference hardware core 56 are included.

[0032] moreover -- others -- the circumference -- hardware -- (B) -- 42 -- (C) -- 43 -- and -- (D) -- 44 -- (A) -- 41 -- being the same -- a configuration -- it is .

[0033] this invention -- the description -- ** -- carrying out -- a place -- drawing 1 -- setting -- the circumference -- hardware -- (A) -- 41 -- (B) -- 42 -- (C) -- 43 -- and -- (D) -- 44 -- The assignment register 54 of operation as an assignment storage means of operation to memorize the data which specify actuation of self-circumference hardware beforehand, respectively, and to output a predetermined signal, It reaches address decoder 51 as a detection means to detect the data access to the self-circumference hardware from CPU20. Or AND gate 52, the output signal of the assignment register 54 of operation -- and -- or the counter 53 as an individual clock control means to control the supply to the self-circumference hardware of the clock signal 102 of operation from CPU20 according to the output signal of AND gate 52 -- and -- or it is in AND gate 55 being included.

[0034] Next, it explains with reference to the flow chart showing actuation of each part of the circumference hardware (A) 41 in this example in drawing 2.

[0035] The time of introduction and the self-circumference hardware (A) 41 receiving access is explained.

[0036] An address decoder 51 judges whether CPU20 decodes the address put on a bus 60 for a data access (step S1), and the given address corresponds to the circumference hardware (A) 41 (step S2).

[0037] or AND gate 52 is active, when the AND of the output of an address decoder 51 is taken to the OR of the RD signal 105 which CPU20 outputs, and the WR signal 106 and CPU20 accesses the circumference hardware (A) 41 -- it is set to "1." and -- or the output of AND gate 52 serves as a reset signal 107, and it inputs into a counter 53 (step S3).

[0038] a counter 53 counts a clock signal 102 and its reset signal 107 is active -- it will be reset if set to "1", and the overflow signal 108 is set to "0" (step S4). and when a counter 53 overflows, the overflow signal 108 is active -- it is set to "1" or becomes an input to AND gate 55.

[0039] On the other hand, the assignment register 54 of operation is a register which specifies authorization or prohibition of power consumption fall actuation of the circumference hardware (A) 41, and can be written in by CPU20. Or when the assignment register 54 of operation and the overflow signal 108 are set to "1", both AND gates 55 set the clock signal 109 of operation to "0", stop it, when other, set the clock signal 109 of operation to "1", and tell it to the circumference hardware core 56 (step S5).

[0040] the circumference -- hardware -- a core -- 56 -- the circumference -- hardware -- (A) -- 41 -- a functional division -- it is -- the former -- an example -- having been shown -- the circumference -- hardware -- (A) -- 31 -- being the same -- a configuration -- it is -- actuation -- a clock signal -- 109 -- "one" -- it is -- the time -- actuation -- carrying out (step S6) .

[0041] Next, the time of the circumference hardware (A) 41 performing [CPU20] fall actuation of power consumption at the time of program execution is explained.

[0042] In addition, in this explanation, in order to carry out fall actuation of power consumption to the circumference hardware (A) 41, in advance of program execution, the value "1" shall be beforehand written in the assignment register 54 of operation in the case of initialization.

[0043] If CPU20 has accessed the circumference hardware (A) 41 at least while CPU20 is performing the program of the program section 10, the circumference hardware (A) 41 needs to supply a clock, in order to operate normally [it is working and].

[0044] That is, whenever CPU20 accesses the circumference hardware (A) 41 at this time, a counter 53 is reset, the overflow signal 108 is kept at "0" and the clock signal 109 of operation is supplied to the circumference hardware core 56.

[0045] however, because of "0" (step S7), when the executive program of CPU20 will stop having used the circumference hardware (A) 41 and will not access the circumference hardware (A) 41 (step S2), when a reset signal 107 continues count actuation and the bit length of a counter is counted fully, without being reset, it is active in the overflow signal 108 -- it is made "1" (step S8). [of a counter 53]

[0046] the overflow signal 108 is active -- if set to "1", since the value of the assignment register 54 of operation is "1", the clock signal 109 of operation will be set to "0", will stop it (step S9), and the circumference hardware (A) 41 will suspend actuation (step S10).

[0047] If CPU20 accesses the circumference hardware (A) 41 again, a counter 53 is reset and the clock signal 109 of operation can supply a clock again.

[0048] Moreover, CPU20 accesses, or when the operating condition of hardware therefore cannot be judged simply not to access, it is also possible by setting "0" as the above-mentioned assignment register 54 of operation to forbid the aforementioned clock halt actuation.

[0049] Furthermore, a counter 53 can also consist of PURISETTA bull types.

[0050] In this case, although the scale of hardware becomes a little larger than the above-mentioned thing, since it can set the time amount which judges a halt of each circumference hardware of operation as arbitration for each [each hardware and] application of every, it can aim at reduction of still finer power consumption.

[0051]

[Effect of the Invention] In the low-power-ized equipment of a microcomputer, as explained above, since each circumference hardware itself can reduce power consumption automatically with the frequency of access, without making it possible to stop each circumference hardware independently in addition to CPU, and setting up by software, this invention provides necessary minimum hardware with a system clock, and is effective in the ability to hold down the power consumption of a system to minimum.

[Translation done.]

* NOTICES *

JPO and NCIPI are not responsible for any
damages caused by the use of this translation.

1. This document has been translated by computer. So the translation may not reflect the original precisely.
2. **** shows the word which can not be translated.
3. In the drawings, any words are not translated.

DESCRIPTION OF DRAWINGS

[Brief Description of the Drawings]

[Drawing 1] The block block diagram showing one example of this invention.

[Drawing 2] The flow chart showing the actuation.

[Drawing 3] The block block diagram showing the conventional example.

[Description of Notations]

10 Program Section

20 Central Processing Unit (CPU)

21 Decoder Section

22 Control Section

23 Clock Control Section

30 40 Circumference hardware

31 41 Circumference hardware (A)

32 42 Circumference hardware (B)

33 43 Circumference hardware (C)

34 44 Circumference hardware (D)

35 External Terminal

51 Address Decoder

52 55 Or AND gate

53 Counter

54 Assignment Register of Operation

56 Circumference Hardware Core

60 Bus

101, 102, 109 Clock signal of operation

103 104 Clock control signal

105 RD Signal

106 WR Signal

107 Reset Signal

108 Overflow Signal

S1-S10 Step

[Translation done.]

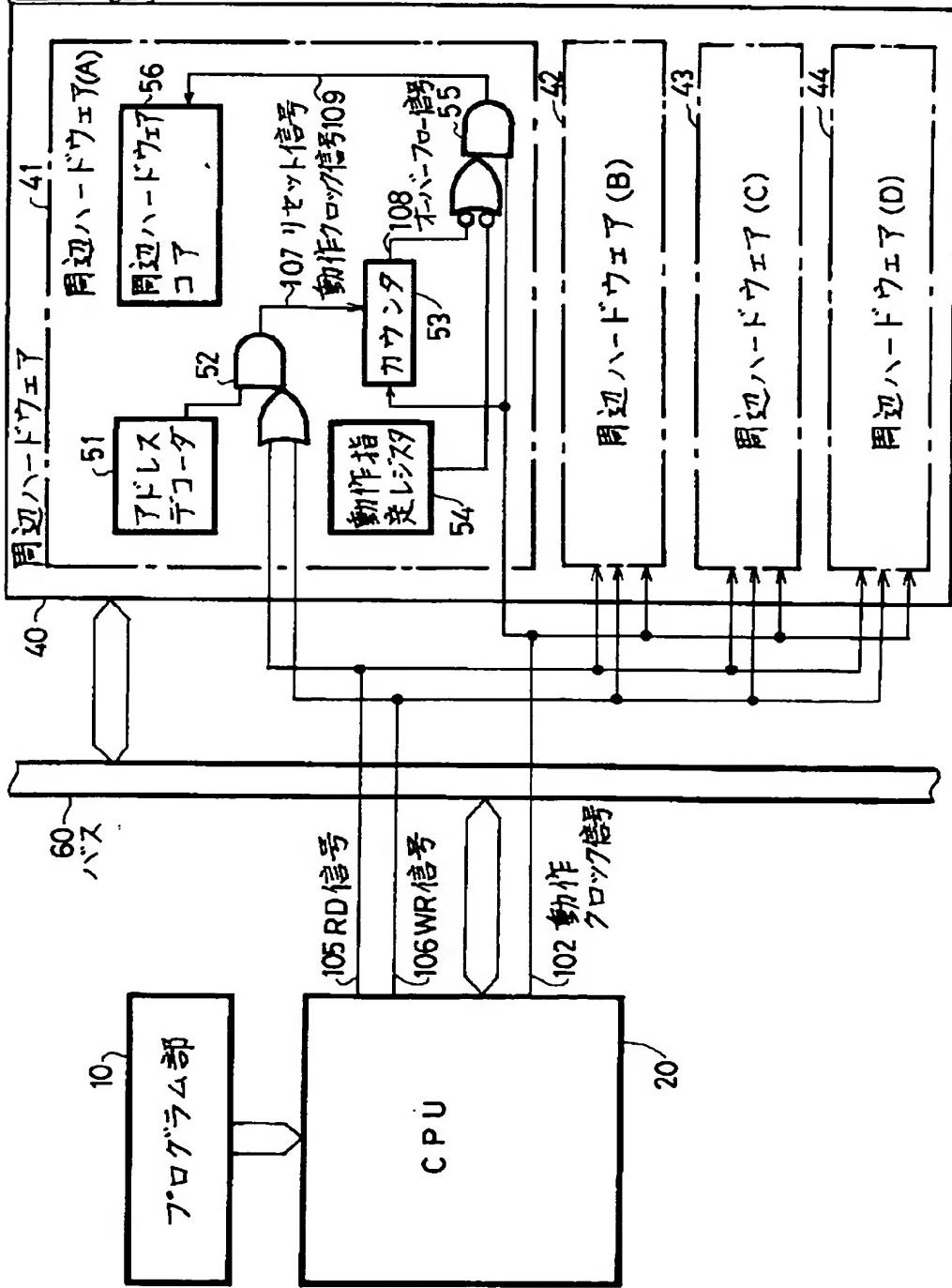
* NOTICES *

JPO and NCIPI are not responsible for any damages caused by the use of this translation.

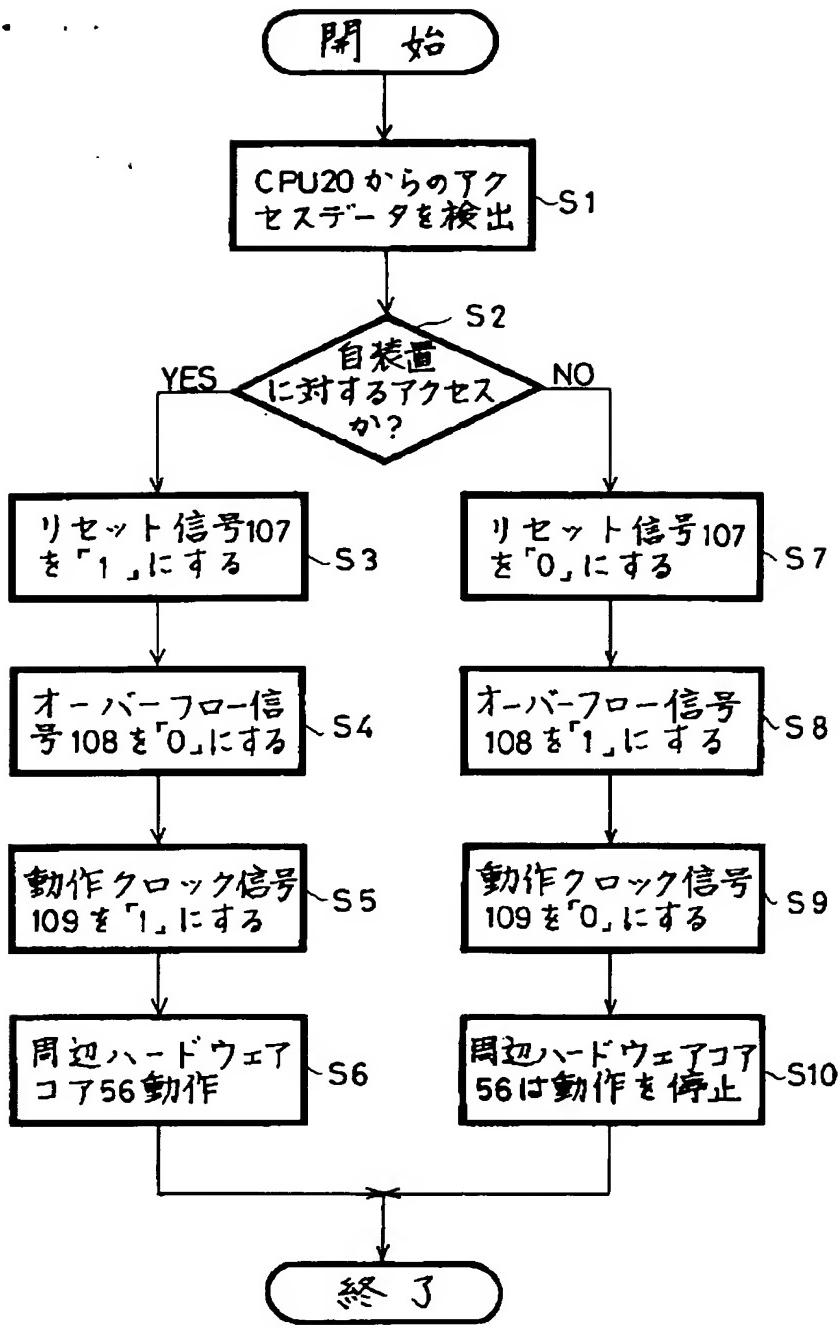
1. This document has been translated by computer. So the translation may not reflect the original precisely.
2. **** shows the word which can not be translated.
3. In the drawings, any words are not translated.

DRAWINGS

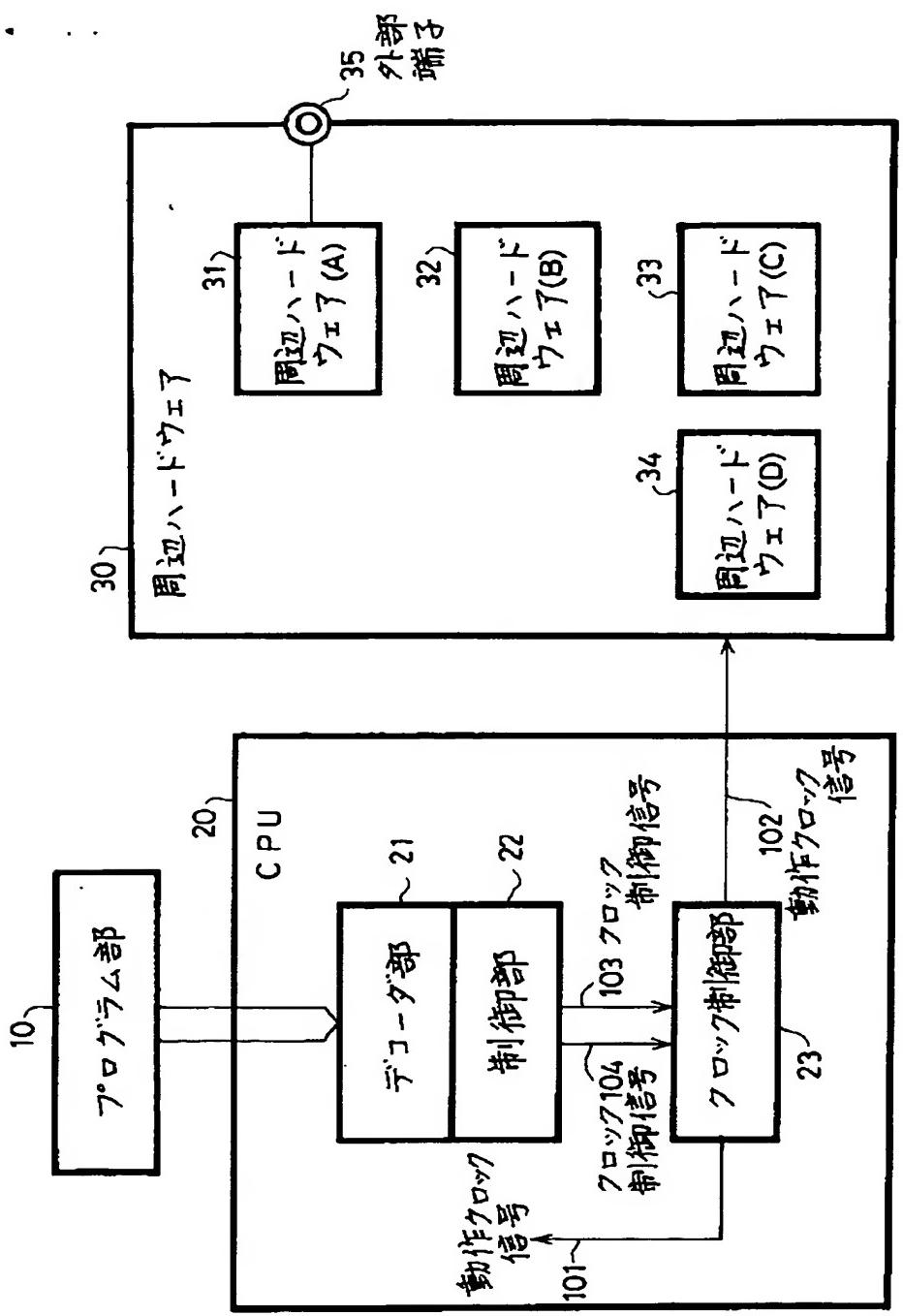
[Drawing 1]



[Drawing 2]



[Drawing 3]



[Translation done.]

(19)日本国特許庁 (JP)

(12) 公開特許公報 (A)

(11)特許出願公開番号

特開平5-324871

(43)公開日 平成5年(1993)12月10日

(51)Int.Cl.⁵

G 0 6 F 15/78
1/04

識別記号 5 1 0 P 7530-5L
3 0 1 C 7165-5B

F I

技術表示箇所

審査請求 未請求 請求項の数1(全 8 頁)

(21)出願番号

特願平4-135233

(22)出願日

平成4年(1992)5月27日

(71)出願人 000004237

日本電気株式会社

東京都港区芝五丁目7番1号

(72)発明者 安部 秀夫

東京都港区芝五丁目7番1号 日本電気株式会社内

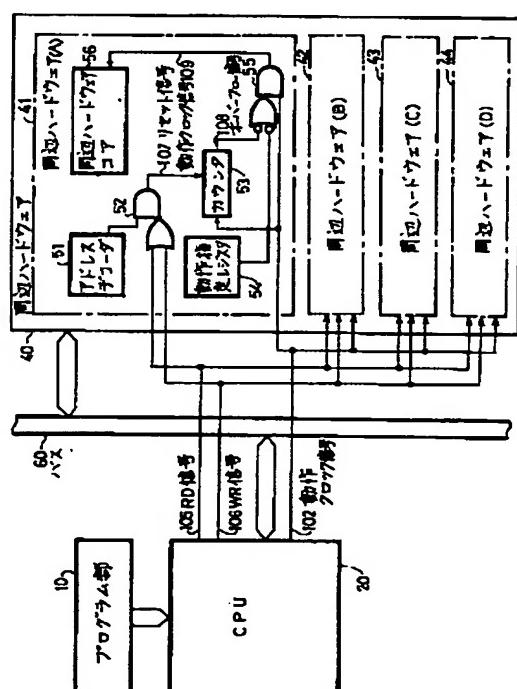
(74)代理人 弁理士 井出 直孝

(54)【発明の名称】 マイクロコンピュータ

(57)【要約】

【目的】 HALT命令やSTOP命令を用いずに、必要の無いハードウェアへの動作クロック信号の供給を停止し、消費電力の低減を図る。

【構成】 各周辺ハードウェア(41~44)は、自装置の動作をあらかじめ指定するデータを記憶し所定の信号を出力する動作指定記憶手段(54)と、CPU20からの自装置へのデータアクセスを検知する検知手段(51、52)と、動作指定記憶手段の出力信号および検知手段の出力信号(107)に従い、CPUから供給される動作クロック信号102を自装置への動作クロック信号109として周辺ハードウェアコア56へ、自装置がアクセスされたときは供給し、アクセスされないとときは供給を止める制御を行う個別クロック制御手段(53、55)とを備えている。



(2)

1

【特許請求の範囲】

【請求項1】 複数の周辺ハードウェアと、

前記複数の周辺ハードウェアへの動作クロック信号を含み動作クロック信号の供給を制御するクロック制御手段を有する中央処理装置とを備えたマイクロコンピュータにおいて、

各周辺ハードウェアは、

自周辺ハードウェアの動作をあらかじめ指定するデータを記憶し所定の信号を出力する動作指定記憶手段と、前記中央処理装置からの自周辺ハードウェアへのデータ

アクセスを検知する検知手段と、

前記動作指定記憶手段の出力信号および前記検知手段の出力信号に従い、前記中央処理装置から供給される動作クロック信号の自周辺ハードウェアへの供給を制御する個別クロック制御手段とを含むことを特徴とするマイクロコンピュータ。

【発明の詳細な説明】

【0001】

【産業上の利用分野】本発明は、マイクロコンピュータに利用され、特に、消費電力の低下手段を備えたマイクロコンピュータに関する。

【0002】

【従来の技術】今日、コンピュータ分野の技術進歩は目覚ましく、ノートブック型コンピュータやパームトップコンピュータ等が市場に出現するようになってきた。

【0003】こうした事情により、最近では低消費電力のデバイスに対する要求が高まっており、その中心的機能を果たすマイクロコンピュータも低消費電力のものが求められるようになってきた。

【0004】一般に、こうした低消費電力に対する動作としては、マイクロコンピュータの中央処理装置（以下、CPUという。）の動作か不必要なときにCPUの動作を停止させる方式と、マイクロコンピュータ全体を停止させる方式とがあり、両者ともに特殊命令を備えている場合が多い。

【0005】通常、前者をHALT命令、後者をSTOP命令と呼んでいる。

【0006】以下に、従来のマイクロコンピュータにおけるHALT命令およびSTOP命令の機能を図3を用いて説明する。

【0007】図3は従来のマイクロコンピュータの一例の要部を示すプロック構成図で、CPU20と、プログラムが格納されているプログラム部10と、周辺ハードウェア30とを備えている。

【0008】そして、CPU20は、プログラムの命令をデコードするデコーダ部21と、デコード結果に応じて各種の制御をする制御部22と、CPU20の動作クロック信号101と、周辺ハードウェア30の動作クロック信号102と、CPU20と周辺ハードウェア30とにそれぞれ動作クロック信号101と動作クロック信

2

号102とを供給するクロック制御部23と、クロックの制御を行うために制御部22より出力されるクロック制御信号103および104とを含んでおり、周辺ハードウェア30は周辺ハードウェア（A）31と、周辺ハードウェア（B）32と、周辺ハードウェア（C）33と、周辺ハードウェア（D）34と、周辺ハードウェア（A）31が外部データを受信するための外部端子35とを含んでいる。また、周辺ハードウェア（A）31は、外部端子35から入力されるデータを受取り、CPU20へ転送する手段を有する。

【0009】次に、CPU20のHALT命令実行時の動作を説明する。

【0010】CPU20は、プログラム部10よりプログラムを読み出し、デコーダ部21で命令をデコードし実行する。このプログラム部10よりHALT命令を読み出し、デコーダ部21でデコードすると制御部22は、クロック制御部23にクロック制御信号103を出力し、クロック制御部23は、周辺ハードウェア30への動作クロック信号102の供給のみを行い、CPU20への動作クロック信号101の供給を停止させる。これにより、CPU20は動作を停止し、周辺ハードウェア30内の各周辺ハードウェア（A）31、（B）32、（C）33、および（D）34のみが動作する。

【0011】続いて、CPU20が、STOP命令を実行する際の動作を説明する。

【0012】CPU20は、前述したHALT命令の実行時と同様にプログラム部10よりプログラムを読み出し、デコーダ部21でSTOP命令をデコードすると制御部22は、クロック制御部23にクロック制御信号104を出力する。クロック制御部23は、前記のクロック制御信号104を受けると、マイクロコンピュータ全体のクロック、すなわち動作クロック信号101および102を停止させる。

【0013】これにより、マイクロコンピュータ全体が停止する。

【0014】次に、このHALT命令およびSTOP命令の実際の用途を説明する。

【0015】HALT命令は、CPU20の動作が必要ないとき、CPU20を停止し、消費電力を下げるのに使用される。

【0016】例えば、CPU20がプログラムを実行中、周辺ハードウェア（A）31が外部端子35から受信したデータを受け取るまで、次のプログラム処理が行えない場合、CPU20は周辺ハードウェア（A）31がデータ受信完了するまで待ち状態となる。このような場合に、プログラム上にHALT命令を記述するとCPU20の動作は停止し、待ち状態となる。

【0017】このとき、周辺ハードウェア30に入力する動作クロック信号102は、出力され続けるため、周辺ハードウェア（A）31、（B）32、（C）33お

(3)

3

より (D) 3 4 は動作状態にあり、CPU 2 0 は、周辺ハードウェア (A) 3 1 がデータ受信完了後にHALT 状態を解除し、周辺ハードウェア (A) 3 1 からデータを受け取り次の処理を行う。

【0018】また、STOP 命令は、マイクロコンピュータが一連の動作を終了し、次に外部からの処理がくるまで何の処理も必要ない場合に、マイクロコンピュータの動作を停止させて電力の消費を押さえる場合に有効である。

【0019】この場合、周辺ハードウェア 3 0 と CPU 2 0 の動作は、完全に停止する。

【0020】

【発明が解決しようとする課題】以上説明したように、従来のマイクロコンピュータは、HALT 命令の発行によってCPU の動作を停止させるか、STOP 命令によってマイクロコンピュータ全体の動作を停止させることは可能であるが、特定の周辺ハードウェアだけを動作させたり、停止させることができないために、特に、必要な無い周辺ハードウェアにも動作クロック信号を供給してしまい、システム全体の消費電力の最適化を図ることができない課題がある。

【0021】また、プログラム上にHALT 命令を記述しなければ、消費電力を低下させることができないため、制御プログラム等のように各ハードウェアの動作関係が複雑になると、ハードウェアの動作状態に応じた電力制御はさらに困難になる課題がある。

【0022】本発明の目的は、前記の課題を解決することにより、HALT 命令やSTOP 命令を使用せずに、必要な無いハードウェアの動作クロック信号の供給を停止し、より消費電力の低下を図ったマイクロコンピュータを提供することにある。

【0023】

【課題を解決するための手段】本発明は、複数の周辺ハードウェアと、前記複数の周辺ハードウェアへの動作クロック信号を含み動作クロック信号の供給を制御するクロック制御手段を有する中央処理装置とを備えたマイクロコンピュータにおいて、各周辺ハードウェアは、自周辺ハードウェアの動作をあらかじめ指定するデータを記憶し所定の信号を出力する動作指定記憶手段と、前記中央処理装置からの自周辺ハードウェアへのデータアクセスを検知する検知手段と、前記動作指定記憶手段の出力信号および前記検知手段の出力信号に従い、前記中央処理装置から供給される動作クロック信号の自周辺ハードウェアへの供給を制御する個別クロック制御手段とを含むことを特徴とする。

【0024】

【作用】動作指定記憶手段には、あらかじめCPU を介して自周辺ハードウェアが動作するのかしないのかを指定するデータが書き込まれ、例えば、動作の場合は

「1」が非動作の場合には「0」が出力される。また、

4

検知手段はCPU から自周辺ハードウェアへのデータアクセスを検知し、例えば、検知した場合には「1」をそれ以外には「0」を出力する。そして、個別クロック制御手段は、例えば、動作指定記憶手段および検知手段の出力が共に「1」の場合、CPU からの動作クロック信号を自周辺ハードウェアに供給して動作を行わせ、それ以外の場合は動作クロック信号の供給を止めて動作させない。

【0025】これにより、HALT 命令やSTOP 命令を用いることなく、必要な無い周辺ハードウェアの動作を停止させることができ、より消費電力を低下させることができるようになる。

【0026】

【実施例】以下、本発明の実施例について図面を参照して説明する。

【0027】図1は本発明の一実施例の要部を示すプロック構成図である。

【0028】本実施例は、図3に示したCPU 2 0 およびプログラムが格納されているプログラム部1 0 と、周辺ハードウェア4 0 および、CPU 2 0 と周辺ハードウェア4 0 間のデータのやり取りを行うバス6 0 とを備えている。

【0029】そして、周辺ハードウェア4 0 には、CPU 2 0 から動作クロック信号1 0 2 と、データリードライバーの制御信号であるRD信号1 0 5 およびWR信号1 0 6 とが与えられる。

【0030】また、周辺ハードウェア4 0 は、周辺ハードウェア(A) 4 1、周辺ハードウェア(B) 4 2、周辺ハードウェア(C) 4 3、および周辺ハードウェア(D) 4 4 を含んでいる。

【0031】そして、周辺ハードウェア(A) 4 1は、内部にCPU 2 0 から与えられるアドレスをデコードするアドレスデコーダ5 1と、オアンドゲート5 2と、動作クロック信号1 0 2をカウントするカウンタ5 3と、カウンタ5 3の出力するオーバーフロー信号1 0 8と、動作指定レジスタ5 4と、オアンドゲート5 5と、周辺ハードウェアコア5 6と、周辺ハードウェアコア5 6への動作クロック信号1 0 9とを含んでいる。

【0032】また、他の周辺ハードウェア(B) 4 2、(C) 4 3 および(D) 4 4 も、(A) 4 1 と同様の構成である。

【0033】本発明の特徴とするところは、図1において、周辺ハードウェア(A) 4 1、(B) 4 2、(C) 4 3 および(D) 4 4 は、それぞれ、自周辺ハードウェアの動作をあらかじめ指定するデータを記憶し所定の信号を出力する動作指定記憶手段としての動作指定レジスタ5 4と、CPU 2 0 からの自周辺ハードウェアへのデータアクセスを検知する検知手段としてのアドレスデコーダ5 1およびオアンドゲート5 2と、動作指定レジスタ5 4の出力信号およびオアンドゲート5 2の出力

(4)

5

信号に従い、CPU20から動作クロック信号102の自周辺ハードウェアへの供給を制御する個別クロック制御手段としてのカウンタ53およびオアンドゲート55とを含むことにある。

【0034】次に、本実施例における周辺ハードウェア(A)41の各部の動作を図2に示す流れ図を参照して説明する。

【0035】初めに、自周辺ハードウェア(A)41がアクセスを受けたときについて説明する。

【0036】アドレスデコーダ51は、CPU20がデータアクセスのためにバス60にのせるアドレスをデコードし(ステップS1)、与えられたアドレスが周辺ハードウェア(A)41に該当するか否かを判断する(ステップS2)。

【0037】オアンドゲート52は、CPU20の出力するRD信号105とWR信号106の論理和に、アドレスデコーダ51の出力の論理積をとり、CPU20が周辺ハードウェア(A)41をアクセスするときにアクティブ「1」となる。そして、オアンドゲート52の出力はリセット信号107となって、カウンタ53に入力する(ステップS3)。

【0038】カウンタ53は、クロック信号102をカウントし、リセット信号107がアクティブ「1」になるとリセットされオーバーフロー信号108を「0」にする(ステップS4)。そして、カウンタ53がオーバーフローするとオーバーフロー信号108がアクティブ「1」となり、オアンドゲート55への入力となる。

【0039】一方、動作指定レジスタ54は、周辺ハードウェア(A)41の消費電力低下動作の許可あるいは禁止を指定するレジスタで、CPU20によって書き込みを行うことができる。オアンドゲート55は、動作指定レジスタ54とオーバーフロー信号108がともに「1」となったとき動作クロック信号109を「0」にして止めて、それ以外のときは、動作クロック信号109を「1」とし周辺ハードウェアコア56に伝える(ステップS5)。

【0040】周辺ハードウェアコア56は、周辺ハードウェア(A)41の機能部分で、従来例で示した周辺ハードウェア(A)31と同様の構成で、動作クロック信号109が「1」のとき動作を行う(ステップS6)。

【0041】次に、CPU20がプログラムの実行時に周辺ハードウェア(A)41が消費電力の低下動作を行うときについて説明する。

【0042】なお、この説明では周辺ハードウェア(A)41に消費電力の低下動作をさせるためにあらかじめ、プログラム実行に先立って初期化の際に動作指定レジスタ54には値「1」が書込まれているものとする。

【0043】CPU20が、プログラム部10のプログラムを実行しているとき、少なくともCPU20が周辺

6

ハードウェア(A)41をアクセスしていれば、周辺ハードウェア(A)41は動作中であって正常に動作するためにはクロックを供給する必要がある。

【0044】すなわちこのとき、CPU20が周辺ハードウェア(A)41をアクセスする度に、カウンタ53は、リセットされてオーバーフロー信号108は、「0」に保たれ、動作クロック信号109は、周辺ハードウェアコア56に供給される。

【0045】しかし、CPU20の実行プログラムが周辺ハードウェア(A)41を使用しなくなり、周辺ハードウェア(A)41をアクセスしなくなった場合(ステップS2)、カウンタ53は、リセット信号107は「0」のため(ステップS7)、リセットされることなくカウント動作を続け、カウンタのビット長をフルにカウントしてしまうとオーバーフロー信号108をアクティブ「1」にする(ステップS8)。

【0046】オーバーフロー信号108がアクティブ「1」になると、動作指定レジスタ54の値は「1」であるから、動作クロック信号109は「0」となり停止して(ステップS9)、周辺ハードウェア(A)41は、動作を停止する(ステップS10)。

【0047】もし、再びCPU20が周辺ハードウェア(A)41をアクセスすれば、カウンタ53は、リセットされて動作クロック信号109は、再度クロックを供給することができる。

【0048】また、CPU20がアクセスする、あるいはアクセスしないによって、単純にハードウェアの使用状況が判断できない場合は、前述の動作指定レジスタ54に「0」を設定することによって、前記のクロック停止動作を禁止することも可能である。

【0049】さらに、カウンタ53をプリセッタブルタイプで構成することもできる。

【0050】この場合には、ハードウェアの規模は前述のものよりもやや大きくなるものの、各周辺ハードウェアの動作停止を判断する時間を各ハードウェアや、各アプリケーション毎に任意に設定することができるため、さらにきめ細かな消費電力の節減をはかることができる。

【0051】
【発明の効果】以上説明したように、本発明は、マイクロコンピュータの低消費電力化装置において、CPU以外に各周辺ハードウェアを独立に停止させることを可能にし、また、ソフトウェアで設定すること無く、各周辺ハードウェア自身がアクセスの頻度によって自動的に消費電力を低下させることができるために、必要最小限のハードウェアにシステムクロックを提供し、システムの消費電力を最低限に抑えることができる効果がある。

【図面の簡単な説明】

【図1】本発明の一実施例を示すブロック構成図。

【図2】その動作を示す流れ図。

(5)

7

【図3】従来例を示すブロック構成図。

【符号の説明】

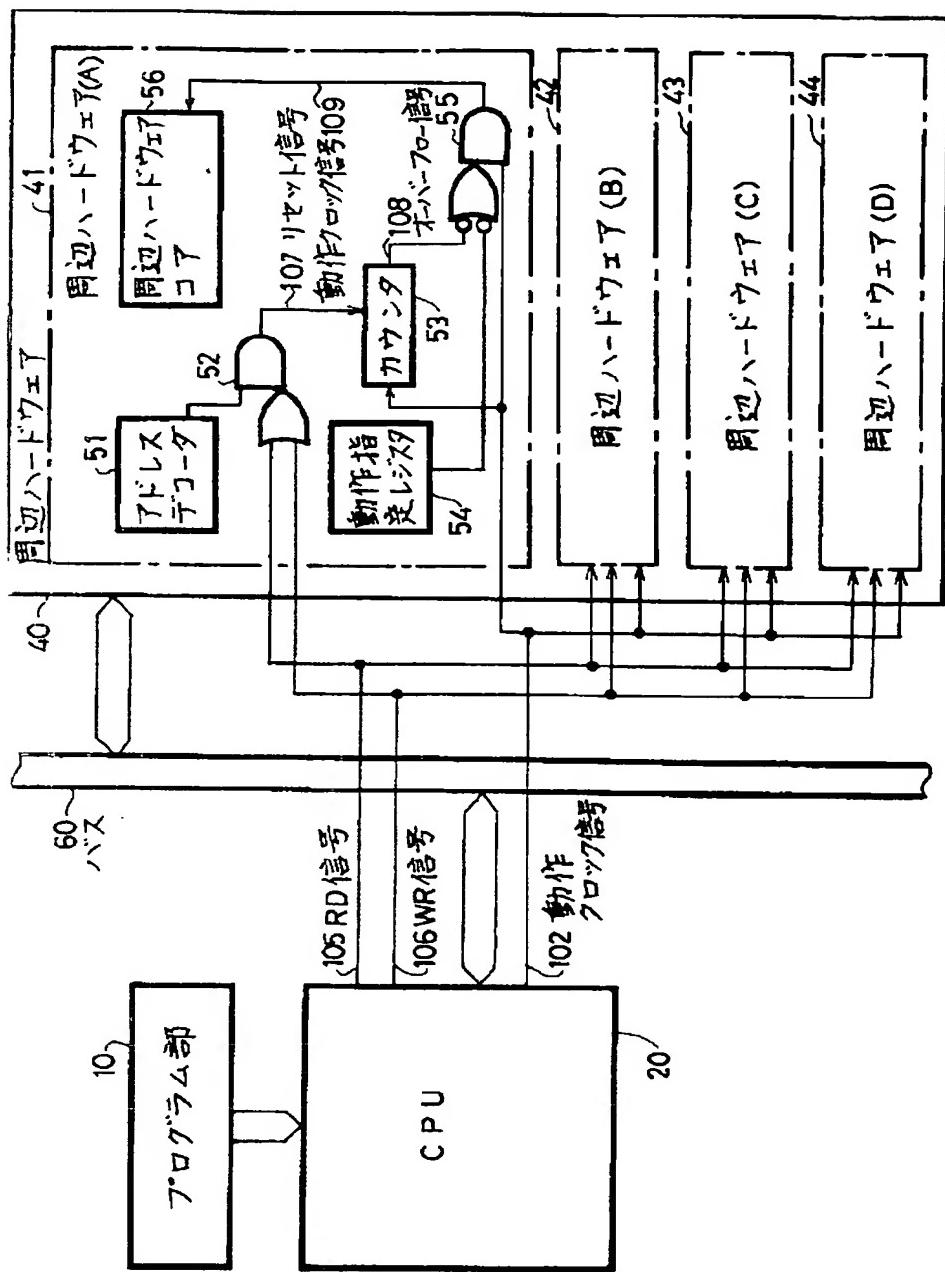
- 1 0 プログラム部
- 2 0 中央処理装置 (C P U)
- 2 1 デコーダ部
- 2 2 制御部
- 2 3 クロック制御部
- 3 0、4 0 周辺ハードウェア
- 3 1、4 1 周辺ハードウェア (A)
- 3 2、4 2 周辺ハードウェア (B)
- 3 3、4 3 周辺ハードウェア (C)
- 3 4、4 4 周辺ハードウェア (D)
- 3 5 外部端子

8

- 5 1 アドレスデコーダ
- 5 2、5 5 オアアンドゲート
- 5 3 カウンタ
- 5 4 動作指定レジスタ
- 5 6 周辺ハードウェアコア
- 6 0 バス
- 1 0 1、1 0 2、1 0 9 動作クロック信号
- 1 0 3、1 0 4 クロック制御信号
- 1 0 5 RD信号
- 1 0 6 WR信号
- 1 0 7 リセット信号
- 1 0 8 オーバーフロー信号
- S 1～S 1 0 ステップ

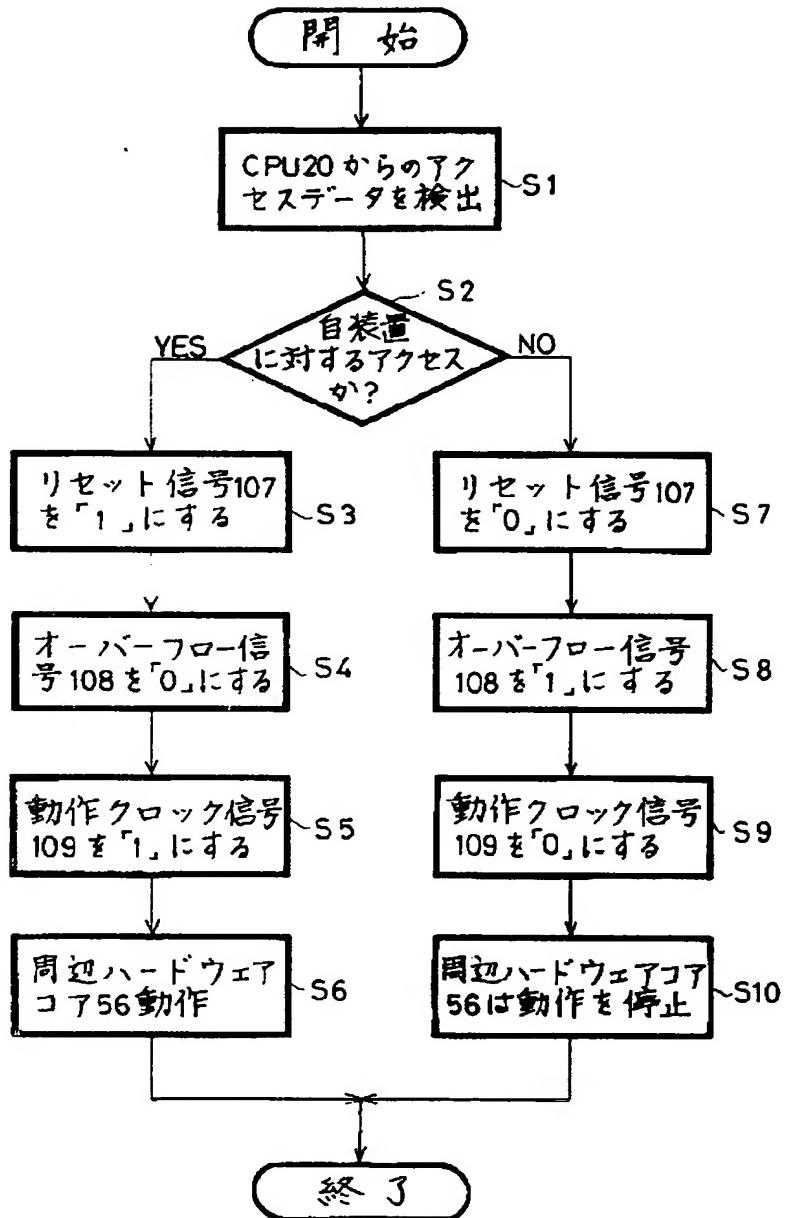
(6)

【図1】



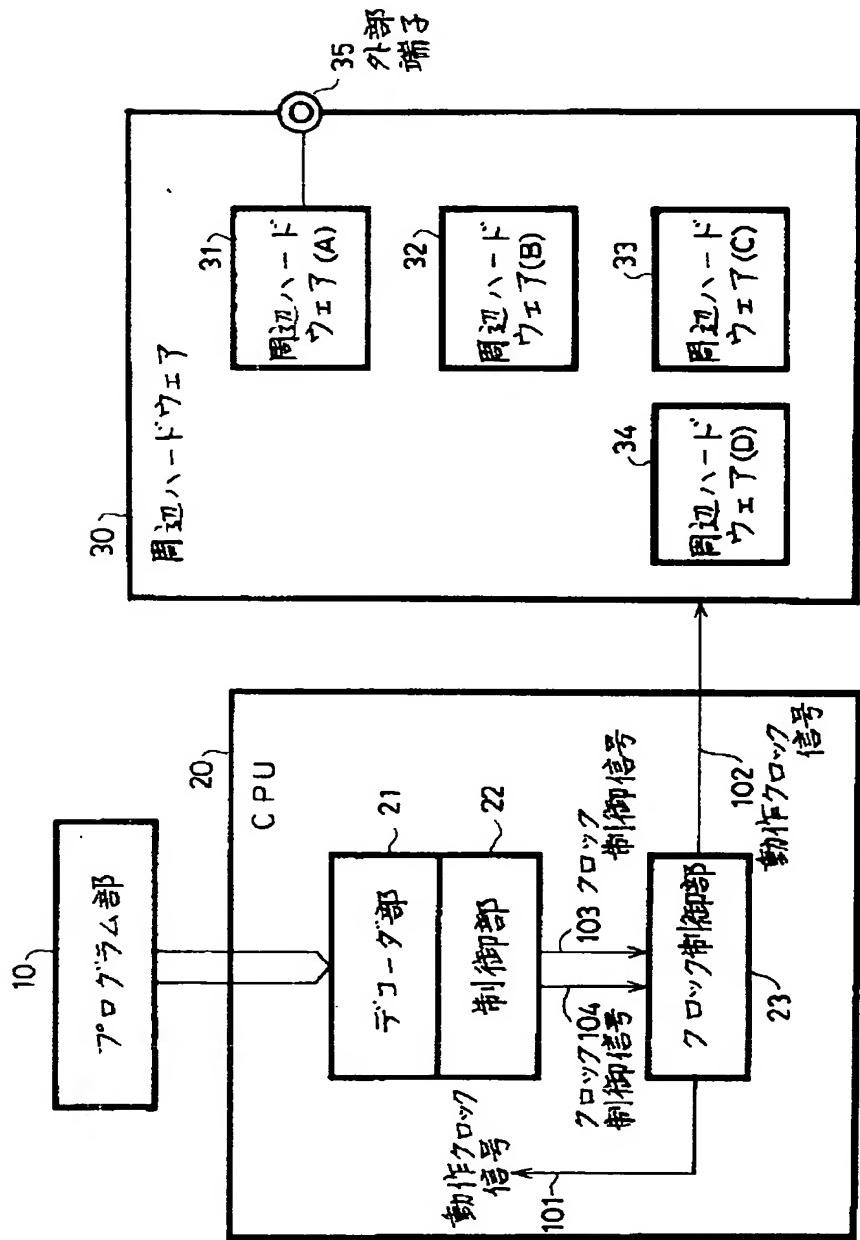
(7)

【図2】



(8)

【図3】



**This Page is Inserted by IFW Indexing and Scanning
Operations and is not part of the Official Record**

BEST AVAILABLE IMAGES

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images include but are not limited to the items checked:

- BLACK BORDERS**
- IMAGE CUT OFF AT TOP, BOTTOM OR SIDES**
- FADED TEXT OR DRAWING**
- BLURRED OR ILLEGIBLE TEXT OR DRAWING**
- SKEWED/SLANTED IMAGES**
- COLOR OR BLACK AND WHITE PHOTOGRAPHS**
- GRAY SCALE DOCUMENTS**
- LINES OR MARKS ON ORIGINAL DOCUMENT**
- REFERENCE(S) OR EXHIBIT(S) SUBMITTED ARE POOR QUALITY**
- OTHER:** _____

IMAGES ARE BEST AVAILABLE COPY.

As rescanning these documents will not correct the image problems checked, please do not report these problems to the IFW Image Problem Mailbox.